

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-168185

(43)Date of publication of application : 22.06.1999

(51)Int.CI. H01L 27/10
H01L 21/60
H01L 25/065
H01L 25/07
H01L 25/18
H03K 19/173

(21)Application number : 09-333376

(71)Applicant : ROHM CO LTD

(22)Date of filing : 03.12.1997

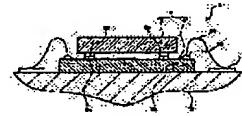
(72)Inventor : AKIYAMA MASUKUNI

(54) LAMINATED SUBSTRATE BODY AND SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a semiconductor device which is able to realize intended function in a short delivery time and has the high degree of integration.

SOLUTION: A laminated chip 4 is constituted by means of bonding pads 8a, 8b,... of a first chip 8 and pads 6a, 6b,... of a second chip 6. In the first chip 8, a field programmable gate array FPGA is formed. In the second chip 6, a central processing unit CPU is formed. An LSI 2 is used as a controller for controlling, e.g. an outer device. In this case, the FPGA functions as an interface circuit for linking the CPU with the outer device. By changing the FPGA program, the intended interface circuit corresponding to the outer device can be obtained. Furthermore through the use of the laminated chip 4, this kind of controller the requirement for space saving of which is large, can be made compact.



LEGAL STATUS

[Date of request for examination] 24.10.2000

[Date of sending the examiner's decision of rejection] 21.04.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2003-08690

[Date of requesting appeal against examiner's decision of rejection] 15.05.2003

[Date of extinction of right]

NOTICES

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The 1st programmable function part which acquires a desired function by carrying out on/off of two or more circuit elements of both prepared beforehand using a programmable switching means, The 1st substrate which has the 1st input/output terminal corresponding to the 1st function part, So that it may have the 2nd substrate which has the 2nd function part equipped with the function relevant to the 1st function part, and the 2nd input/output terminal corresponding to the 2nd function part and the 1st input/output terminal and 2nd input/output terminal may be connected electrically The laminating radical board characterized by carrying out the laminating of the 1st substrate and 2nd substrate.

[Claim 2] What is characterized by equipping said 2nd function part with the function which controls an external instrument in the laminating radical board of claim 1, and equipping said 1st function part with the interface function which connects the 2nd function part and external instrument concerned.

[Claim 3] What is characterized by equipping said 2nd function part with the function to memorize information, in the laminating radical board of claim 1, and having the function in which said 1st function part performs processing relevant to the information memorized by the 2nd function part.

[Claim 4] What is characterized by equipping said 2nd function part with the function to perform analog processing, in the laminating radical board of claim 1, and having the function in which said 1st function part performs digital processing relevant to the analog processing performed by the 2nd function part.

[Claim 5] What is characterized by equipping said 2nd function part with the function which controls said 1st function part in the laminating radical board of claim 1.

[Claim 6] What is characterized by constituting so that power may be supplied to said 2nd substrate through the 1st substrate in the laminating radical board of either claim 1 thru/or claim 5 while supplying the power from a power source to said 1st substrate.

[Claim 7] The 1st function part equipped with the function to memorize information, and the 1st input/output terminal corresponding to the 1st function part, The 1st substrate which ****, and the 2nd function part equipped with the function which controls the 1st function part, The laminating radical board characterized by carrying out the laminating of the 1st substrate and 2nd substrate so that it may have the 2nd substrate which has the 2nd input/output terminal corresponding to the 2nd function part and the 1st input/output terminal and 2nd input/output terminal may be connected electrically.

[Claim 8] What is characterized by constituting so that said the 1st substrate and 2nd substrate may be equipped with both high-voltage Rhine and the electrical potential difference of high-voltage Rhine of the 1st substrate and the electrical potential difference of high-voltage Rhine of the 2nd substrate may become the same substantially in the laminating radical board of either claim 1 thru/or claim 7.

[Claim 9] What is characterized by constituting so that two or more sets of pairs of the 1st input/output terminal for connecting electrically high-voltage Rhine of said 1st substrate and high-voltage Rhine of the 2nd substrate and the 2nd input/output terminal may be prepared in the laminating radical board of claim 8.

[Claim 10] In the laminating radical board of either claim 1 thru/or claim 9 to either said 1st substrate or the 2nd substrate What is characterized by constituting so that either said 1st input/output terminal belonging to the substrate with which the terminal for the exteriors which performs the input or output

to the exterior of the laminating radical board concerned was prepared, and said terminal for the exteriors was prepared or the 2nd input/output terminal and the terminal for the exteriors concerned may be connected electrically.

[Claim 11] The semiconductor device characterized by having the laminating radical board of either claim 1 thru/or claim 10.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the semiconductor device equipped with the laminating radical board and laminating radical board which carried out the laminating of the substrate about a substrate and a semiconductor device.

[0002]

[Description of the Prior Art] PLD (Programmable Logic Device) is known as LSI in which a user can write a logical function with a hand. There are many classes of PLD(s) until it results in large-scale FPGA (Field Programmable Gate Array) from small-scale PLA (Programmable Logic Array) which makes basic structure an AND flat surface and OR flat surface.

[0003] Each of these constitutes mutual [, such as a logical circuit,] so that it can connect through a programmable switch, while arranging many logical circuits etc. on a chip beforehand. Therefore, a user can realize a desired logical function by carrying out on/off of the switch of these many according to a predetermined pattern. That is, LSI which has a desired logical function is realizable at short time for delivery by using PLD.

[0004] For this reason, for example, PLD is used as an interface circuitry of the microcomputer system which controls a device. In a microcomputer system, although the interface circuitry of the dedication corresponding to the device used as a controlled system is needed, by using PLD, it is short time for delivery and the interface circuitry of the request corresponding to various devices can be realized.

[0005]

[Problem(s) to be Solved by the Invention] However, there were the following troubles in the above conventional PLD(s). Since the conventional PLD is constituted by one independent package, for example, when it uses for an above-mentioned microcomputer system, one package is needed only by the interface circuitry. The degree of integration of a microcomputer system cannot be raised in this.

[0006] This invention solves such a trouble and it aims at being able to realize a desired function at short time for delivery, and offering a semiconductor device with a high degree of integration.

[0007]

[Means for Solving the Problem] The 1st programmable function part which acquires a desired function when the laminating radical board of claim 1 carries out on/off of two or more circuit elements of both prepared beforehand using a programmable switching means, The 1st substrate which has the 1st input/output terminal corresponding to the 1st function part, It is characterized by carrying out the laminating of the 1st substrate and 2nd substrate so that it may have the 2nd substrate which has the

2nd function part equipped with the function relevant to the 1st function part, and the 2nd input/output terminal corresponding to the 2nd function part and the 1st input/output terminal and 2nd input/output terminal may be connected electrically.

[0008] The laminating radical board of claim 2 is characterized by equipping said 2nd function part with the function which controls an external instrument, and equipping said 1st function part with the interface function which connects the 2nd function part and external instrument concerned in the laminating radical board of claim 1.

[0009] The laminating radical board of claim 3 is characterized by equipping said 2nd function part with the function to memorize information, and having the function in which said 1st function part performs processing relevant to the information memorized by the 2nd function part in the laminating radical board of claim 1.

[0010] The laminating radical board of claim 4 is characterized by equipping said 2nd function part with the function to perform analog processing, and having the function in which said 1st function part performs digital processing relevant to the analog processing performed by the 2nd function part in the laminating radical board of claim 1.

[0011] The laminating radical board of claim 5 is characterized by equipping said 2nd function part with the function which controls said 1st function part in the laminating radical board of claim 1.

[0012] In the laminating radical board of either claim 1 thru/or claim 5, the laminating radical board of claim 6 is characterized by constituting so that power may be supplied to said 2nd substrate through the 1st substrate while it supplies the power from a power source to said 1st substrate.

[0013] The 1st function part which the laminating radical board of claim 7 equipped with the function to memorize information, The 1st substrate which has the 1st input/output terminal corresponding to the 1st function part, It is characterized by carrying out the laminating of the 1st substrate and 2nd substrate so that it may have the 2nd substrate which has the 2nd function part equipped with the function which controls the 1st function part, and the 2nd input/output terminal corresponding to the 2nd function part and the 1st input/output terminal and 2nd input/output terminal may be connected electrically.

[0014] In the laminating radical board of either claim 1 thru/or claim 7, said the 1st substrate and 2nd substrate are equipped with high-voltage Rhine, and both the laminating radical boards of claim 8 are characterized by constituting so that the electrical potential difference of high-voltage Rhine of the 1st substrate and the electrical potential difference of high-voltage Rhine of the 2nd substrate may become the same substantially.

[0015] The laminating radical board of claim 9 is characterized by constituting so that two or more sets of pairs of the 1st input/output terminal for connecting electrically high-voltage Rhine of said 1st substrate and high-voltage Rhine of the 2nd substrate and the 2nd input/output terminal may be prepared in the laminating radical board of claim 8.

[0016] The laminating radical board of claim 10 is set to the laminating radical board of either claim 1 thru/or claim 9. Either said 1st input/output terminal belonging to the substrate with which the terminal for the exteriors which performs the input or output to the exterior of the laminating radical board concerned was prepared in either said 1st substrate or the 2nd substrate, and said terminal for the exteriors was prepared in it, or the 2nd input/output terminal. It is characterized by constituting so that the terminal for the exteriors concerned may be connected electrically.

[0017] The semiconductor device of claim 11 is characterized by having the laminating radical board of either claim 1 thru/or claim 10.

[0018] In addition, the "circuit element" in each above-mentioned claim is a concept which says the element which constitutes a circuit, for example, includes all components and circuits, such as a logical element, a delay element, a storage element, an arithmetic circuit, and wiring. With an operation gestalt, data input Rhine L11 of drawing 3, the ... and AND input line L21, ..., etc. correspond to this.

[0019] An "input/output terminal" is a concept containing the input-only terminal which says the terminal which performs a certain input or output, for example, receives supply of a signal or power, the

output-only terminal for supplying, an I/O combination terminal, etc. With an operation gestalt, the pads 8a and 8b of drawing 1, ... and Pads 6a and 6b, and ... correspond to this.

[0020]

[Function and Effect of the Invention] The laminating radical board of claim 1, and the semiconductor device of claim 11 The 1st substrate which has the 1st programmable function part and 1st programmable input/output terminal, It is characterized by carrying out the laminating of the 1st substrate and 2nd substrate so that it may have the 2nd substrate which has the 2nd function part equipped with the function relevant to the 1st function part, and the 2nd input/output terminal and the 1st input/output terminal and 2nd input/output terminal may be connected electrically.

[0021] Therefore, the 2nd function part and external instrument can be made to be able to respond, and the function of the 1st function part can be changed flexibly. For this reason, the function of the 1st function part can be realized, without building the new dedication IC. Moreover, the semiconductor device which has a small projected area equipped with both the function of the 1st function part and the function of the 2nd function part is realizable by carrying out the laminating of the 1st substrate and 2nd substrate. Furthermore, the complicated system which constituted many the 1st substrate and 2nd substrate from carrying out a laminating using many ICs is realizable with one semiconductor device. For this reason, it becomes possible to be low cost and to realize such a system in a compact.

[0022] That is, a desired function can be realized at short time for delivery, and a cheap semiconductor device with a high degree of integration can be obtained.

[0023] The laminating radical board of claim 2 is characterized by having the function in which the 2nd function part controls an external instrument, and equipping the 1st function part with the interface function which connects the 2nd function part and external instrument concerned.

[0024] When it follows, for example, a laminating radical board is used for the control unit of an external instrument, an external instrument can be made to be able to respond and an interface function can be changed flexibly. Moreover, a space-saving demand can use a large control unit as a compact by using a laminating radical board.

[0025] The laminating radical board of claim 3 is characterized by having the function in which the 2nd function part memorizes information, and having the function in which the 1st function part performs processing relevant to the information memorized by the 2nd function part.

[0026] When it follows, for example, a laminating radical board is used for DSP (digital signal processor), while using the 2nd function part as RAM (random access memory), it can be made to be able to respond to the contents of signal processing, and the function of the 1st function part can be changed flexibly. Moreover, compact DSP can be obtained by using a laminating radical board.

[0027] The laminating radical board of claim 4 is characterized by having the function in which the 2nd function part performs analog processing, and having the function in which the 1st function part performs digital processing relevant to the analog processing performed by the 2nd function part.

[0028] When it follows, for example, a laminating radical board is used for the frequency synthesizer using a PLL (phase-locked loop) circuit, while using the 2nd function part as VCO (armature-voltage control dispatch circuit), the 1st function part can be used as a frequency divider which carries out dividing of the output of VCO. In this case, it can be made to be able to respond to the frequency which should be outputted and a frequency divider can be changed flexibly. Moreover, a compact frequency synthesizer can be obtained by using a laminating radical board.

[0029] The laminating radical board of claim 5 is characterized by equipping the 2nd function part with the function which controls said 1st function part.

[0030] It follows, for example, when the 2nd function part is used as write-in equipment for programming the 1st function part, PLD which does not need external write-in equipment can be realized.

[0031] The laminating radical board of claim 6 is characterized by constituting so that power may be supplied to the 2nd substrate through the 1st substrate while it supplies the power from a power source to the 1st substrate.

[0032] Therefore, to the 1st substrate which the writing and elimination of the program over the 1st

function part take the high voltage, high-voltage power is supplied with low-battery power from a power source, and it becomes possible at it to supply only low-battery power through the 1st substrate at the 2nd substrate which does not require the high voltage. For this reason, it is enough if only the 1st substrate is made into a high proof-pressure specification. That is, since the 2nd substrate can be made into a low proof-pressure specification, the degree of integration of the circuit element which constitutes the 2nd substrate can be raised.

[0033] The 1st substrate which has the 1st function part which the laminating radical board of claim 7 equipped with the function to memorize information, and the 1st input/output terminal, It has the 2nd substrate which has the 2nd function part equipped with the function which controls the 1st function part, and the 2nd input/output terminal, and is characterized by carrying out the laminating of the 1st substrate and 2nd substrate so that the 1st input/output terminal and 2nd input/output terminal may be connected electrically.

[0034] When it follows, for example, the 2nd function part is used as informational write-in equipment to the 1st function part, the information storage device which does not need external write-in equipment can be realized. Moreover, the information storage device which has a small projected area equipped with both the function to memorize information, and the function which writes in information is realizable by carrying out the laminating of the 1st substrate and 2nd substrate.

[0035] The 1st substrate and 2nd substrate are equipped with high-voltage Rhine, and both the laminating radical boards of claim 8 are characterized by constituting so that the electrical potential difference of high-voltage Rhine of the 1st substrate and the electrical potential difference of high-voltage Rhine of the 2nd substrate may become the same substantially.

[0036] Therefore, high-voltage Rhine of the 1st substrate and high-voltage Rhine of the 2nd substrate can be shared with both substrates by connecting the 1st input/output terminal and 2nd input/output terminal electrically. For this reason, a tooth space required for wiring for high voltages etc. can be saved.

[0037] The laminating radical board of claim 9 is characterized by constituting so that two or more sets of pairs of the 1st input/output terminal for connecting electrically high-voltage Rhine of the 1st substrate and high-voltage Rhine of the 2nd substrate and the 2nd input/output terminal may be prepared.

[0038] Therefore, even if it is the case that the connection resistance at the time of connecting the 1st input/output terminal and 2nd input/output terminal is strong, this connection resistance can be decreased by establishing two or more connection places.

[0039] The laminating radical board of claim 10 is characterized by constituting so that either the 1st input/output terminal belonging to the substrate with which the terminal for the exteriors was prepared in either the 1st substrate or the 2nd substrate, and the terminal for the exteriors was prepared or the 2nd input/output terminal and the terminal for the exteriors concerned may be connected electrically.

[0040] When it follows, for example, the terminal for the exteriors is prepared in the 1st substrate, the terminal for the exteriors and the 2nd input/output terminal of the 2nd substrate concerned can be electrically connected through the 1st input/output terminal of the 1st substrate. For this reason, it becomes possible between the 2nd substrate with which the terminal for the exteriors is not prepared, and the terminal for the exteriors to perform transfer of power or a signal directly.

[0041]

[Embodiment of the Invention] The cross-section configuration of LSI (large scale integration)2 which is a semiconductor device by 1 operation gestalt of this invention is shown in drawing 1. LSI2 has the configuration which laid the laminating chip 4 which is a laminating radical board, and was fixed after the package 12. The laminating chip 4 is a chip which carried out the laminating of the 2nd chip 6 which is the 1st chip 8 and the 2nd substrate which are the 1st substrate, and was unified.

[0042] The decomposition perspective view of the laminating chip 4 is shown in drawing 2. The 1st chip 8 and the 2nd chip 6 are IC chips constituted by each with the semi-conductor. In this operation gestalt, FPGA (field programmable gate array) is formed in the 1st chip 8 as the 1st programmable function part,

and CPU (central-process unit) is formed in the 2nd chip 6 as the 2nd function part.

[0043] The 1st chip 8 equips the top face with two or more pads 8a and 8b and ... which are the 1st input/output terminal. In this operation gestalt, it is a pad for performing I/O of as opposed to FPGA in Pads 8a and 8b and ... Moreover, near the periphery of the top face of the 1st chip 8, two or more pads 10 (terminal for the exteriors) for performing the I/O to the exterior are formed.

[0044] The 2nd chip 6 equips the inferior surface of tongue with two or more pads 6a and 6b and ... which are the 2nd input/output terminal. In this operation gestalt, it is a pad for performing I/O of as opposed to CPU in Pads 6a and 6b and ...

[0045] It is prepared in the location which counters mutually as each pads 8a and 8b, ... and Pads 6a and 6b, and ... Pads 8a and 8b, ... and Pads 6a and 6b, and ... are joined with the bump technique using an eutectic by forming one side with the pads 8a and 8b prepared in the location which opposes mutually, ... and Pads 6a and 6b, and ... withgold (Au), and forming another side with tin (Sn).

[0046] Thus, the formed laminating chip 4 is laid and fixed after a package 12, as shown in drawing 1. The pad 14 prepared in the package 12 and the pad 10 prepared in the 1st chip 8 are connected by the bonding wire 16. In addition, the closure of the laminating chip 4 and the bonding wire 16 is carried out by the closure member (not shown) which used the epoxy resin etc.

[0047] In this operation gestalt, LSI2 is used as a controller which controls an external instrument. That is, an external instrument is controlled using CPU (not shown) formed in the 2nd chip 6. An external instrument is electrically connected to the pad 14 prepared in the package 12. FPGA formed in the 1st chip 8 functions as an interface circuitry which connects CPU and an external instrument.

[0048] Therefore, the interface circuitry of the request corresponding to an external instrument can be obtained by changing the program of FPGA. For this reason, a desired interface circuitry can be realized, without building IC with a new dedicated-interface circuit. That is, it is not necessary to develop the new dedication IC or to prepare the production process for Dedication IC separately.

[0049] Moreover, a space-saving demand can form this large kind of controller in a compact by using the laminating chip 4. In addition, in this operation gestalt, as a ROM (read only memory) chip (not shown), the program for controlling an external instrument is arranged to the exterior of LSI2, and is sent to CPU through the pad 14 prepared in the package 12.

[0050] Moreover, the power source (not shown) is prepared in the exterior of LSI2, from the power source concerned, power is supplied to the 1st chip 8 through a pad 14, and power is further supplied to the 2nd chip 6 through the 1st chip 8.

[0051] Therefore, to the 1st chip 8 which the writing and elimination of the program over FPGA take the high voltage, high-voltage power is supplied with low-battery power from a power source, and it becomes possible for it to supply only low-battery power through the 1st chip 8 at the 2nd chip 6 which carried CPU which does not require the high voltage. For this reason, it is enough if only the 1st chip 8 is made into a high proof-pressure specification. That is, since the 2nd chip 6 can be made into a low proof-pressure specification, the degree of integration of the 2nd chip 6 which carried CPU can be raised.

[0052] An example of the circuitry of the logic array 20 which constitutes FPGA formed in drawing 3 at the 1st chip 8 is shown typically. FPGA is PLD of a comparatively complicated configuration and the logic array 20 of FPGA is equipped with the AND flat-surface section 22 and OR flat-surface section 24. In addition, drawing 3 is drawing having extracted and shown a part of circuitry of logic array 20 for explanation, and the actual logic array 20 has a more complicated configuration.

[0053] The AND flat-surface section 22 is equipped with four data input Rhine L11, L12, L13, and L14 and four AND input lines L21, L22, L23, and L24 which are circuit elements, and the four AND gates AND1, AND2, AND3, and AND4 in the example of drawing 3.

[0054] The switches SW11-SW44 which are programmable switching means are formed in 16 intersections of the data input Rhine L11-L14 and the AND input lines L21-L24 of the AND flat-surface section 22.

[0055] OR flat-surface section 24 is equipped with four AND output Rhine L31, L32, L33, and L34 and

three OR input lines L41, L42, and L43 which are circuit elements, the three OR gates OR1, OR2, and OR3, and three OR output Rhine L51, L52, and L53.

[0056] The switches SW51-SW83 which are programmable switching means are formed in 12 intersections of the AND output Rhine L31-L34 and the OR input lines L41-L43 of OR flat-surface section 24 like the AND flat-surface section 22.

[0057] In addition, although it indicated for convenience that drawing 3 used [of explanation] the four AND gates AND1, AND2, AND3, and AND4 and the three OR gates OR1, OR2, and OR3, in an actual circuit, it changed to these gates and the equivalent circuit is logically realized with drawing 3 using seven NAND gates.

[0058] The example of a programmable switching means (for example, switch SW11) is shown in drawing 4 A, drawing 4 B, and drawing 4 C. As a switch SW11, the fuse shown in drawing 4 A can be used. In this case, what is necessary is just to burn off this fuse, in order to separate data input Rhine L11 and the AND input line L21.

[0059] Contrary to the case of a fuse, it insulates beforehand and the antifuse (not shown) constituted so that it might be made to flow through data input Rhine L11 and the AND input line L21 can also be used as a switch SW11 by destroying an insulation. Moreover, the flash memory and EEPROM (Electrically Erasable and Programmable Read Only Memory) which are shown in drawing 4 B can also be used as a switch SW11. It becomes rewritable [a logical function] by using EEPROM.

[0060] Moreover, in order to make a logical function rewrite on real time, SRAM (Static Random Access Memory) shown in drawing 4 C can also be used as a switch SW11.

[0061] Furthermore, the memory using the ferroelectric as a switch SW11 can also be used. By using the memory using a ferroelectric, the switch SW11 rewritable at high speed nonvolatile is realizable.

[0062] An example of the circuitry of the switch SW11 which used the memory which used the ferroelectric for drawing 5 is shown. The switch SW11 is equipped with the ferroelectric transistor 30 in this example.

[0063] Although the ferroelectric layer FE is polarized if a predetermined electrical potential difference is impressed between gate terminal G and data input Rhine L11, the direction of polarization of the ferroelectric layer FE changes with sense of the electrical potential difference to impress. When the directions of polarization of the ferroelectric layer FE differ, the values of the drain current over the same gate voltage differ. Using this property, it constitutes so that the closed state and open condition of a switch SW11 may be made.

[0064] The relation between the sense of the electrical potential difference impressed between gate terminal G and data input Rhine L11 and the direction of polarization of the ferroelectric layer FE brings the same relation at least to the bottom of the same condition, although it was not necessarily fixed in order to be influenced of other elements.

[0065] If the electrical potential difference of the sense from which it follows, for example, gate terminal G becomes forward to data input Rhine L11 is impressed If it polarizes to predetermined gate voltage in the direction in which the drain current more than a threshold flows and the electrical potential difference of the reverse sense is impressed; supposing it polarizes to predetermined gate voltage in the direction in which only the drain current of a value smaller than a threshold flows The former is the closed state of a switch SW11, and the latter is in the open condition of a switch SW11.

[0066] Thus, the on/off data of a switch SW11 can be rewritten by changing the sense of the electrical potential difference impressed between gate terminal G and data input Rhine L11.

[0067] In addition, although it constituted so that the direction of polarization of the ferroelectric layer FE might be changed by changing the sense of the electrical potential difference impressed between gate terminal G and data input Rhine L11 in the example of drawing 5 By connecting an electrode terminal to gate terminal G of the ferroelectric layer FE, and the edge of the opposite side, setting this to memory gate terminal MG, and changing the sense of the electrical potential difference impressed between gate terminal G and memory gate terminal MG, it can also constitute so that the direction of polarization of the ferroelectric layer FE may be changed.

[0068] Moreover, the memory (not shown) equipped with the ferro-electric capacitor in addition to the memory equipped with the ferroelectric transistor 30 shown in drawing 5 as memory using the ferroelectric for using it for a switch SW11 can also be used.

[0069] In addition, in an above-mentioned operation gestalt, although the case where LSI2 was used as a controller which controls an external instrument was explained to the example, this invention is not limited to this. For example, this invention can be applied also when used as FPGA with general-purpose LSI2.

[0070] In this case, FPGA is formed in the 1st chip 8 as the 1st function part like the above-mentioned operation gestalt. On the other hand, the write-in circuit which performs the writing and elimination of the program to FPGA is formed in the 2nd chip 6 as the 2nd function part. If it does in this way, FPGA which does not need external write-in equipment is realizable.

[0071] Moreover, this invention can be applied also when using LSI2 as a DSP (digital signal processor). In order to use LSI2 as a DSP, RAM (random access memory) is formed in the 2nd chip 6 as the 2nd function part.

[0072] On the other hand, for the 1st chip 8, like the above-mentioned operation gestalt, although FPGA is formed as the 1st function part, it programs so that FPGA functions as the signal-processing section in this case.

[0073] Thus, if it sets up, after FPGA performs predetermined processing to the signal given from RAM formed in the 2nd chip 6, it can be outputted to the LSI2 exterior, or after performing predetermined processing to the signal given from the LSI2 outside, it can be accumulated in RAM formed in the 2nd chip 6.

[0074] By changing the program of FPGA, the contents of signal processing can be changed easily. Moreover, compact DSP is realizable by using the laminating chip 4.

[0075] Moreover, for example, while forming FPGA in the 1st chip 8, it can also constitute so that a flash memory may be formed in the 2nd chip 6. In this case, FPGA of the 1st chip 8 and the flash memory of the 2nd chip 6 may need high-voltage Rhine for writing and elimination. In such a case, it is convenient, if it sets up so that the electrical potential difference which the writing and elimination of FPGA take, and the electrical potential difference which the writing and elimination of a flash memory take may become the same.

[0076] If the electrical potential difference is set up in this way, high-voltage Rhine of 1st chip 8 and 2nd chip 6 both sides can be shared between the chips of the both sides concerned through Pads 8a and 8b, ..., 6a and 6b, or ... For this reason, a tooth space required for wiring for high voltages etc. can be saved.

[0077] If two or more sets of pads for furthermore connecting the high-voltage Rhine concerned in this case are formed, connection resistance can be made small and it is convenient. Especially the thing for which a node is formed in juxtaposition in this way, and connection resistance is made small since there is an inclination for connection resistance to become large in using an above-mentioned bump technique and the above-mentioned anisotropy conductor mentioned later is desirable as a connection method of Pads 8a and 8b, ..., 6a and 6b, and ...

[0078] Moreover, for example, LSI2 can be used as a frequency synthesizer using a PLL (phase-locked loop) circuit. In this case, VCO (armature-voltage control dispatch circuit) which is an analog circuit is formed in the 2nd chip 6 as the 2nd function part.

[0079] a circuit which is again fed back to VCO on the other hand after FPGA carries out dividing of the output of VCO in this case although FPGA is formed in the 1st chip 8 as the 1st function part like the above-mentioned operation gestalt — ** — it carries out and programs to function.

[0080] Thus, if it sets up, LSI2 can be used as a frequency synthesizer using a PLL circuit. In this case, the frequency which should be outputted can be easily changed by changing the program of FPGA. Moreover, a compact frequency synthesizer can be obtained by using the laminating chip 4.

[0081] In addition, the pad with which transfer of an analog signal is needed for it in this way when it carries an analog circuit in the 2nd chip 6 as the 2nd function part is good to use a buffer as the pad not

intervening.

[0082] Moreover, a pad 10 and pad 6a of the 2nd chip 6 are electrically connectable through pad 8a what (through pad) for example, either of the pads 10 prepared in the 1st chip 8 in this case and pad 8a are made into switch-on for. For this reason, even if it is the case where the terminal for the exteriors cannot be directly prepared in the 2nd chip 6, the pad 10 prepared in the 1st chip 8 can be used as an input/output terminal of an analog signal, for example, or it can use as a power supply terminal only for [a pad 10] analog circuits, and is convenient.

[0083] In each above-mentioned operation gestalt, although the case where FPGA was formed in the 1st chip 8 as the 1st function part was explained to the example, this invention is not limited to this. For example, it can constitute so that a memory apparatus may be formed in the 1st chip 8 as the 1st function part. In this case, it is good for the 2nd chip 6 to form the write-in circuit which performs the writing and elimination of the data to this memory apparatus as the 2nd function part.

[0084] Thus, if constituted, the information storage device which does not need external write-in equipment is realizable. Moreover, the information storage device which has a small projected area equipped with both the function to memorize information, and the function which writes in information is realizable by carrying out the laminating of the 1st chip 8 and the 2nd chip 6.

[0085] In addition, in each above-mentioned operation gestalt, although the case where a bump technique was used was explained to the example as an approach of connecting electrically Pads 8a and 8b, ... and Pads 6a and 6b, and ... as shown in drawing 1, this invention is not limited to this. For example, Pads 8a and 8b, ... and Pads 6a and 6b, and ... are also electrically connectable using a pewter technique.

[0086] Moreover, as shown in drawing 6, Pads 8a and 8b, ... and Pads 6a and 6b, and ... are also electrically connectable using the anisotropy conductor 18. The anisotropy conductor 10 is a conductor which has conductivity only in an one direction, and has the adhesive property. As an anisotropy conductor, ANISORUMU (Hitachi Chemical) which is thermosetting adhesives can be used.

[0087] By using such an anisotropy conductor 18, the 1st chip 8 and the 2nd chip 6 can be pasted up firmly. The pads 8a and 8b prepared in the location which counters mutually, ... and Pads 6a and 6b, and ... are electrically connected by pasting up firmly the 1st chip 8 and the 2nd chip 6 using the anisotropy conductor 18.

[0088] Moreover, in each above-mentioned operation gestalt, although it constituted so that the pad 10 of the laminating chip 4 and the pad 14 prepared in the package 12 might be connected using a bonding wire 16 while fixing the laminating chip 4 to the package 12 as shown in drawing 1, this invention is not limited to such a configuration.

[0089] For example, as shown in drawing 7, the laminating chip 4 can also be directly mounted in a film-like synthetic-resin substrate. Thus, the substrate which mounted the laminating chip 4 is called tab (tab: tape automated bonding) 26. The printed circuit (not shown) is given to the tab 26 and the pad section (not shown) of a printed circuit and the pad 10 of the laminating chip 4 are joined. In addition, the closure of the laminating chip 4 is carried out like the case of each above-mentioned operation gestalt by the closure member (not shown) which used the epoxy resin etc.

[0090] Moreover, as shown in drawing 8, when it is possible to form a pad 10 in the inferior surface of tongue (namely, Pads 8a and 8b, the field of the opposite side of the field in which ... was prepared) of the 1st chip 8, the laminating chip 4 can also be mounted so that it may accumulate on the top face of a tab 26.

[0091] In addition, in each above-mentioned operation gestalt, although it constituted so that power might be supplied to the 1st chip 8 and power might be further supplied to the 2nd chip 6 through the 1st chip 8, this invention is not limited to this. For example, it can also constitute so that power may be supplied to the 2nd chip 6 and power may be further supplied to the 1st chip 8 through the 2nd chip 6. Moreover, arrangement relation between the 1st chip 8 and the 2nd chip 6 can also be made into vertical reverse.

[0092] Moreover, in each above-mentioned operation gestalt, although the laminating chip 4 repeated two chips was explained to the example, this invention is applicable also to the laminating chip repeated

three or more chips.

[0093] Drawing 9 is a drawing in which the laminating chip 36 which has the configuration which has arranged the 2nd chip 32 and the 3rd chip 34 side by side after the 1st chip 8 horizontally is shown. The laminating chip 36 is being laid and fixed to the package 12.

[0094] For example, if ROM is formed in the 3rd chip 34 while programming to form FPGA in the 1st chip 8 and to commit an interface circuitry and forming CPU in the 2nd chip 32, the controller for controlling an external instrument is realizable with one laminating chip 36. In addition, the 1st chip 8 corresponds to the 1st substrate in this case, and the 2nd chip 32 and the 3rd chip 34 correspond to the 2nd substrate.

[0095] Drawing 11 is the decomposition perspective view showing the laminating chip 52 which has the configuration which has arranged much chips (it corresponds to the 2nd substrate) 50a, 50b, ..., 50g side by side horizontally after the 1st chip 8 (it corresponds to the 1st substrate).

[0096] For example, while forming each function part 62 which constitutes the compact disc system 60 as shown in drawing 12, for example, an RF amplifier, DSP64, DF-DAC66, the CD-G decoder 68, the RGB encoder 70, and CD driver 72 grade as chips 50a, 50b, ..., 50g of drawing 11, respectively, it can form in the 1st chip 8 by setting the system-control microcomputer 74, connection during each chip (not shown), etc. to FPGA.

[0097] In addition, conventionally, the compact disc system 60 shown in drawing 12 formed each function part of RF amplifier 62, DSP64, DF-DAC66, the CD-G decoder 68, the RGB encoder 70, the CD driver 72, and system-control microcomputer 74 grade as a different IC, respectively, and it constituted it so that these might be carried in one board. Therefore, compactability was missing and the manufacturing cost was also high.

[0098] If constituted like drawing 11, a complicated system like the compact disc system 60 realized by carrying two or more ICs in one board conventionally is realizable with one laminating chip 52, i.e., one IC. For this reason, a complicated system is realizable by the compact and low cost.

[0099] Drawing 10 is a drawing in which the laminating chip 44 which has the configuration which carried the 3rd chip 42 and was fixed after the 2nd chip 40 is shown while it carries the 2nd chip 40 and is fixed after the 1st chip 8. The laminating chip 44 is being laid and fixed to the package 12.

[0100] Thus, when it is possible to prepare the both sides of the inferior surface of tongue of a chip (this example the 2nd chip 40) and a top face the pad which should be connected, it becomes easy to carry out the laminating of the chip of three or more layers. In this case, the 1st chip 8 corresponds to the 1st substrate, and the 2nd chip 40 corresponds to the 2nd substrate.

[0101] In addition, when connecting electrically through wiring (not shown) with which the 1st chip 8 and the 3rd chip 42 were formed in the 2nd chip 40 when the three or more layer laminating of the chip was carried out (for example, a case like drawing 10), the 3rd chip 42 also corresponds to the 2nd substrate. Moreover, when the 2nd chip 40 corresponds to the 1st substrate, the 1st chip 8 and the 3rd chip 42 correspond to the 2nd substrate.

[0102] In addition, in each above-mentioned operation gestalt, although FPGA was explained to the example as an example of the 1st programmable function part, this invention is not limited to this. For example, this invention can be applied also when PLA which is a kind of PLD as the 1st programmable function part is used.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the drawing in which the cross-section configuration of LSI (large scale integration)2 which is a semiconductor device by 1 operation gestalt of this invention is shown.

[Drawing 2] It is the decomposition perspective view of the laminating chip 4.

[Drawing 3] It is the drawing in which an example of the circuitry of the logic array 20 which constitutes FPGA formed in the 1st chip 8 was shown typically.

[Drawing 4] Drawing 4 A, drawing 4 B, and drawing 4 C are drawings in which the example of a programmable switching means is shown.

[Drawing 5] It is the drawing in which an example of the circuitry of the switch SW11 which used the memory using a ferroelectric is shown.

[Drawing 6] It is the drawing in which the cross-section configuration of the laminating chip by other operation gestalten of this invention is shown.

[Drawing 7] It is the drawing in which the cross-section configuration of the laminating chip by other operation gestalten of this invention is shown.

[Drawing 8] It is the drawing in which the cross-section configuration of the laminating chip by other operation gestalten of this invention is shown.

[Drawing 9] It is the drawing in which the cross-section configuration of the laminating chip by other operation gestalten of this invention is shown.

[Drawing 10] It is the drawing in which the cross-section configuration of the laminating chip by other operation gestalten of this invention is shown.

[Drawing 11] It is the decomposition perspective view of the laminating chip by other operation gestalten of this invention.

[Drawing 12] It is the functional block diagram showing the configuration of the compact disc system 60.

[Description of Notations]

2 LSI

4 Laminating chip

6 The 2nd chip

6a, 6b Pad

8 The 1st chip

8a, 8b Pad

[Translation done.]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-168185

(43) 公開日 平成11年(1999)6月22日

(51) Int.Cl.⁶
H 01 L 27/10
21/60
25/065
25/07
25/18

識別記号
4 9 5
3 1 1

F I
H 01 L 27/10
21/60
H 03 K 19/173
H 01 L 25/08

4 9 5
3 1 1 S
1 0 1
B

審査請求 未請求 請求項の数11 O.L (全12頁) 最終頁に続く

(21) 出願番号 特願平9-333376

(22) 出願日 平成9年(1997)12月3日

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72) 発明者 秋山 益國

京都府京都市右京区西院溝崎町21番地 ローム株式会社内

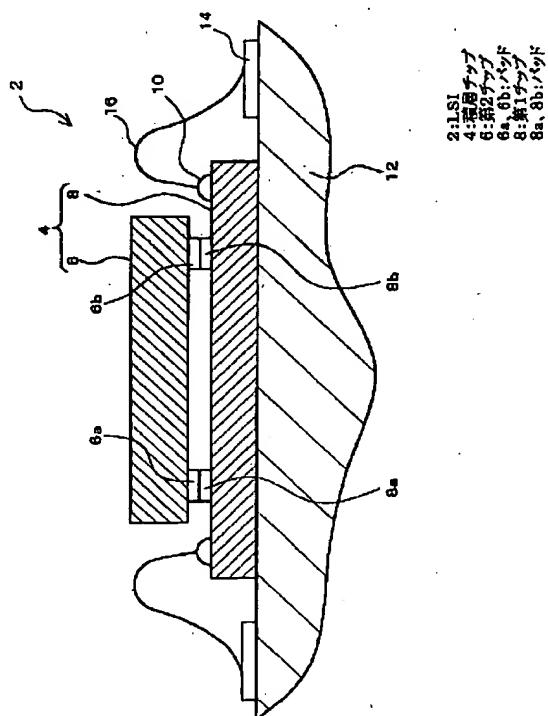
(74) 代理人 弁理士 古谷 栄男 (外3名)

(54) 【発明の名称】 積層基板体および半導体装置

(57) 【要約】

【課題】：短納期で所望の機能を実現することができ、かつ、集積度の高い半導体装置を提供する。

【解決手段】：第1チップ8のパッド8a, 8b, …と第2チップ6のパッド6a, 6b, …とを接合することにより、積層チップ4を構成している。第1チップ8にはFPGA (フィールド・プログラマブル・ゲート・アレー) が形成され、第2チップ6にはCPU (中央処理ユニット) が形成されている。LSI 2は、たとえば外部機器を制御するコントローラとして使用される。この場合FPGAは、CPUと外部機器とを連結するインターフェース回路として機能する。FPGAのプログラムを変更することで、外部機器に対応した所望のインターフェース回路を得ることができる。また、積層チップ4を用いることで、省スペースの要求が大きいこの種のコントローラをコンパクトにすることができる。



(2)

1

【特許請求の範囲】

【請求項1】あらかじめ用意された複数の回路要素相互をプログラム可能なスイッチ手段を用いて継断することにより所望の機能を取得するプログラム可能な第1の機能部と、第1の機能部に対応する第1の入出力端子と、を有する第1の基板と、
 第1の機能部に関連する機能を備えた第2の機能部と、第2の機能部に対応する第2の入出力端子と、を有する第2の基板と、
 を備え、
 第1の入出力端子と第2の入出力端子とが電気的に接続されるように、第1の基板と第2の基板とを積層したこと、
 を特徴とする積層基板体。

【請求項2】請求項1の積層基板体において、
 前記第2の機能部が、外部機器を制御する機能を備えており、
 前記第1の機能部が、第2の機能部と当該外部機器とを連結するインターフェース機能を備えていること、
 を特徴とするもの。

【請求項3】請求項1の積層基板体において、
 前記第2の機能部が、情報を記憶する機能を備えており、
 前記第1の機能部が、第2の機能部に記憶された情報に関連する処理を行なう機能を備えていること、
 を特徴とするもの。

【請求項4】請求項1の積層基板体において、
 前記第2の機能部が、アナログ処理を行なう機能を備えており、
 前記第1の機能部が、第2の機能部で行なわれるアナログ処理に関連するデジタル処理を行なう機能を備えていること、
 を特徴とするもの。

【請求項5】請求項1の積層基板体において、
 前記第2の機能部が、前記第1の機能部を制御する機能を備えていること、
 を特徴とするもの。

【請求項6】請求項1ないし請求項5のいずれかの積層基板体において、
 電源からの電力を前記第1の基板に供給するとともに、第1の基板を介して前記第2の基板に電力を供給するよう構成したこと、
 を特徴とするもの。

【請求項7】情報を記憶する機能を備えた第1の機能部と、第1の機能部に対応する第1の入出力端子と、を有する第1の基板と、
 第1の機能部を制御する機能を備えた第2の機能部と、第2の機能部に対応する第2の入出力端子と、を有する第2の基板と、
 を備え、

2

第1の入出力端子と第2の入出力端子とが電気的に接続されるように、第1の基板と第2の基板とを積層したこと、

を特徴とする積層基板体。

【請求項8】請求項1ないし請求項7のいずれかの積層基板体において、
 前記第1の基板および第2の基板が、ともに高電圧ラインを備えており、
 第1の基板の高電圧ラインの電圧と第2の基板の高電圧ラインの電圧とが実質的に同一になるよう構成したこと、
 を特徴とするもの。

【請求項9】請求項8の積層基板体において、
 前記第1の基板の高電圧ラインと第2の基板の高電圧ラインとを電気的に接続するための第1の入出力端子と第2の入出力端子との対を複数組設けるよう構成したこと、
 を特徴とするもの。

【請求項10】請求項1ないし請求項9のいずれかの積層基板体において、
 前記第1の基板または第2の基板の一方に、当該積層基板体の外部に対する入力または出力を行なう外部用端子を設け、
 前記外部用端子が設けられた基板に属する前記第1の入出力端子または第2の入出力端子のいずれかと、当該外部用端子とを電気的に接続するよう構成したこと、
 を特徴とするもの。

【請求項11】請求項1ないし請求項10のいずれかの積層基板体を備えたこと、を特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は基板および半導体装置に関し、特に、基板を積層した積層基板体および積層基板体を備えた半導体装置に関する。

【0002】

【従来の技術】ユーザーが手元で論理機能を書込むことができるLSIとして、PLD(Programmable Logic Device)が知られている。PLDには、AND平面とOR平面とを基本構造とする小規模なPLA(Programmable Logic Array)から、大規模なFPGA(Field Programmable Gate Array)にいたるまで、多くの種類がある。

【0003】これらは、いずれも、あらかじめチップ上に多くの論理回路等を配置するとともに、論理回路等相互を、プログラム可能なスイッチを介して接続し得るよう構成したものである。したがって、ユーザーが、これら多くのスイッチを所定のパターンにしたがって継断することにより、所望の論理機能を実現することができる。すなわち、PLDを用いることにより、短納期で、所望の論理機能を有するLSIを実現することができる。

(3)

3

【0004】このため、たとえば、機器を制御するマイクロコンピュータシステムのインターフェース回路として、PLDが用いられる。マイクロコンピュータシステムにおいては、制御対象となる機器に対応した専用のインターフェース回路が必要となるが、PLDを用いることにより、短納期で、種々の機器に対応した所望のインターフェース回路を実現することができる。

【0005】

【発明が解決しようとする課題】しかし、上記のような従来のPLDには、次のような問題点があった。従来のPLDは一つの独立したパッケージにより構成されているため、たとえば、上述のマイクロコンピュータシステムに用いた場合、インターフェース回路だけで一つのパッケージが必要となる。これでは、マイクロコンピュータシステムの集積度を上げることができない。

【0006】この発明はこのような問題点を解決し、短納期で所望の機能を実現することができ、かつ、集積度の高い半導体装置を提供することを目的とする。

【0007】

【課題を解決するための手段】請求項1の積層基板体は、あらかじめ用意された複数の回路要素相互をプログラム可能なスイッチ手段を用いて継断することにより所望の機能を取得するプログラム可能な第1の機能部と、第1の機能部に対応する第1の入出力端子と、を有する第1の基板と、第1の機能部に関連する機能を備えた第2の機能部と、第2の機能部に対応する第2の入出力端子と、を有する第2の基板と、を備え、第1の入出力端子と第2の入出力端子とが電気的に接続されるように、第1の基板と第2の基板とを積層したこと、を特徴とする。

【0008】請求項2の積層基板体は、請求項1の積層基板体において、前記第2の機能部が、外部機器を制御する機能を備えており、前記第1の機能部が、第2の機能部と当該外部機器とを連結するインターフェース機能を備えていること、を特徴とする。

【0009】請求項3の積層基板体は、請求項1の積層基板体において、前記第2の機能部が、情報を記憶する機能を備えており、前記第1の機能部が、第2の機能部に記憶された情報に関する処理を行なう機能を備えていること、を特徴とする。

【0010】請求項4の積層基板体は、請求項1の積層基板体において、前記第2の機能部が、アナログ処理を行なう機能を備えており、前記第1の機能部が、第2の機能部で行なわれるアナログ処理に関するディジタル処理を行なう機能を備えていること、を特徴とする。

【0011】請求項5の積層基板体は、請求項1の積層基板体において、前記第2の機能部が、前記第1の機能部を制御する機能を備えていること、を特徴とする。

【0012】請求項6の積層基板体は、請求項1ないし請求項5のいずれかの積層基板体において、電源からの

4

電力を前記第1の基板に供給するとともに、第1の基板を介して前記第2の基板に電力を供給するよう構成したこと、を特徴とする。

【0013】請求項7の積層基板体は、情報を記憶する機能を備えた第1の機能部と、第1の機能部に対応する第1の入出力端子と、を有する第1の基板と、第1の機能部を制御する機能を備えた第2の機能部と、第2の機能部に対応する第2の入出力端子と、を有する第2の基板と、を備え、第1の入出力端子と第2の入出力端子とが電気的に接続されるように、第1の基板と第2の基板とを積層したこと、を特徴とする。

【0014】請求項8の積層基板体は、請求項1ないし請求項7のいずれかの積層基板体において、前記第1の基板および第2の基板が、ともに高電圧ラインを備えており、第1の基板の高電圧ラインの電圧と第2の基板の高電圧ラインの電圧とが実質的に同一になるよう構成したこと、を特徴とする。

【0015】請求項9の積層基板体は、請求項8の積層基板体において、前記第1の基板の高電圧ラインと第2の基板の高電圧ラインとを電気的に接続するための第1の入出力端子と第2の入出力端子との対を複数組設けるよう構成したこと、を特徴とする。

【0016】請求項10の積層基板体は、請求項1ないし請求項9のいずれかの積層基板体において、前記第1の基板または第2の基板の一方に、当該積層基板体の外部に対する入力または出力を行なう外部用端子を設け、前記外部用端子が設けられた基板に属する前記第1の入出力端子または第2の入出力端子のいずれかと、当該外部用端子とを電気的に接続するよう構成したこと、を特徴とする。

【0017】請求項11の半導体装置は、請求項1ないし請求項10のいずれかの積層基板体を備えたこと、を特徴とする。

【0018】なお、上記各請求項における「回路要素」とは、回路を構成する要素をいい、たとえば、論理素子、遅延素子、記憶素子、演算回路、配線など、あらゆる素子や回路を含む概念である。実施形態では、図3のデータ入力ラインL1-1、···やAND入力ラインL2-1、···等が、これに該当する。

【0019】「入出力端子」とは、なんらかの入力または出力を行なう端子をいい、たとえば、信号や電力の供給を受ける入力専用端子、供給するための出力専用端子、入出力兼用端子などを含む概念である。実施形態では、図1のパッド8a、8b、···やパッド6a、6b、···が、これに該当する。

【0020】

【発明の作用および効果】請求項1の積層基板体および請求項11の半導体装置は、プログラム可能な第1の機能部と第1の入出力端子とを有する第1の基板と、第1の機能部に関連する機能を備えた第2の機能部と第2の

(4)

5

入出力端子とを有する第2の基板とを備え、第1の入出力端子と第2の入出力端子とが電気的に接続されるように、第1の基板と第2の基板とを積層したことを特徴とする。

【0021】したがって、第1の機能部の機能を、第2の機能部や外部機器に対応させて柔軟に変更することができる。このため、新たな専用ICをつくることなく第1の機能部の機能を実現することができる。また、第1の基板と第2の基板とを積層することで、第1の機能部の機能と第2の機能部の機能とをともに備えた小さい投影面積を有する半導体装置を実現することができる。さらに、第1の基板と第2の基板とを多数積層することで、多数のICを用いて構成していた複雑なシステムを、一つの半導体装置で実現することができる。このため、このようなシステムを低コストで、かつ、コンパクトに実現することが可能となる。

【0022】すなわち、短納期で所望の機能を実現することができ、かつ、集積度の高い安価な半導体装置を得ることができる。

【0023】請求項2の積層基板体は、第2の機能部が外部機器を制御する機能を備えており、第1の機能部が、第2の機能部と当該外部機器とを連結するインターフェース機能を備えていることを特徴とする。

【0024】したがって、たとえば、積層基板体を外部機器の制御装置に使用した場合、外部機器に対応させて柔軟にインターフェース機能を変更することができる。また、積層基板体を用いることで、省スペースの要求が大きい制御装置をコンパクトにすることができる。

【0025】請求項3の積層基板体は、第2の機能部が情報を記憶する機能を備えており、第1の機能部が、第2の機能部に記憶された情報に関連する処理を行なう機能を備えていることを特徴とする。

【0026】したがって、たとえば、積層基板体をDSP(ディジタル・シグナル・プロセッサ)に使用した場合、第2の機能部をRAM(ランダム・アクセス・メモリ)として用いるとともに、信号処理の内容に対応させて柔軟に第1の機能部の機能を変更することができる。また、積層基板体を用いることで、コンパクトなDSPを得ることができる。

【0027】請求項4の積層基板体は、第2の機能部がアナログ処理を行なう機能を備えており、第1の機能部が、第2の機能部で行なわれるアナログ処理に関連するデジタル処理を行なう機能を備えていることを特徴とする。

【0028】したがって、たとえば、積層基板体を、PLL(位同期ループ)回路を用いた周波数シンセサイザに使用した場合、第2の機能部をVCO(電圧制御発信回路)として用いるとともに、第1の機能部を、VCOの出力を分周する分周回路として用いることができる。この場合、出力すべき周波数に対応させて柔軟に分

(4)

6

周回路を変更することができる。また、積層基板体を用いることで、コンパクトな周波数シンセサイザを得ることができる。

【0029】請求項5の積層基板体は、第2の機能部が、前記第1の機能部を制御する機能を備えていることを特徴とする。

【0030】したがって、たとえば、第2の機能部を、第1の機能部をプログラムするための書き込み装置として用いた場合、外部の書き込み装置を必要としないPLDを実現することができる。

【0031】請求項6の積層基板体は、電源からの電力を第1の基板に供給するとともに、第1の基板を介して第2の基板に電力を供給するよう構成したことを特徴とする。

【0032】したがって、第1の機能部に対するプログラムの書き込みや消去に高電圧を要する第1の基板には、電源から低電圧電力とともに高電圧電力を供給し、高電圧を要しない第2の基板には、第1の基板を介して低電圧電力のみを供給することができる。このため、第1の基板のみを高耐圧仕様とすれば十分である。すなわち、第2の基板は低耐圧仕様とすることができるので、第2の基板を構成する回路要素の集積度を上げることができる。

【0033】請求項7の積層基板体は、情報を記憶する機能を備えた第1の機能部と第1の入出力端子とを有する第1の基板と、第1の機能部を制御する機能を備えた第2の機能部と第2の入出力端子とを有する第2の基板とを備え、第1の入出力端子と第2の入出力端子とが電気的に接続されるように第1の基板と第2の基板とを積層したことを特徴とする。

【0034】したがって、たとえば、第2の機能部を、第1の機能部に対する情報の書き込み装置として用いた場合、外部の書き込み装置を必要としない情報記憶装置を実現することができる。また、第1の基板と第2の基板とを積層することで、情報を記憶する機能と例えば情報を書込む機能とをともに備えた小さい投影面積を有する情報記憶装置を実現することができる。

【0035】請求項8の積層基板体は、第1の基板および第2の基板がともに高電圧ラインを備えており、第1の基板の高電圧ラインの電圧と第2の基板の高電圧ラインの電圧とが実質的に同一になるよう構成したことを特徴とする。

【0036】したがって、第1の入出力端子と第2の入出力端子とを電気的に接続することにより、第1の基板の高電圧ラインと第2の基板の高電圧ラインとを、双方の基板で共用することができる。このため、高電圧用の配線等に必要なスペースを節約することができる。

【0037】請求項9の積層基板体は、第1の基板の高電圧ラインと第2の基板の高電圧ラインとを電気的に接続するための第1の入出力端子と第2の入出力端子との

(5)

7

対を複数組設けるよう構成したことを特徴とする。

【0038】したがって、第1の入出力端子と第2の入出力端子とを接続する際の接続抵抗が大きい場合であっても、複数の接続箇所を設けることで該接続抵抗を減少させることができる。

【0039】請求項10の積層基板体は、第1の基板または第2の基板の一方に外部用端子を設け、外部用端子が設けられた基板に属する第1の入出力端子または第2の入出力端子のいずれかと、当該外部用端子とを電気的に接続するよう構成したことを特徴とする。

【0040】したがって、たとえば、第1の基板に外部用端子を設けた場合、当該外部用端子と第2の基板の第2の入出力端子とを、第1の基板の第1の入出力端子を介して、電気的に接続することができる。このため、外部用端子が設けられていない第2の基板と、外部用端子との間で、電力や信号の授受を直接行なうことが可能となる。

【0041】

【発明の実施の形態】図1に、この発明の1実施形態による半導体装置であるLSI(高密度集積回路)2の断面構成を示す。LSI2は、パッケージ12の上に、積層基板体である積層チップ4を載置して固定した構成を有している。積層チップ4は、第1の基板である第1チップ8および第2の基板である第2チップ6を積層して一体化したチップである。

【0042】図2に、積層チップ4の分解斜視図を示す。第1チップ8および第2チップ6は、いずれも半導体により構成されたICチップである。この実施形態においては、第1チップ8には、プログラム可能な第1の機能部として、FPGA(フィールド・プログラマブル・ゲート・アレー)が形成されており、第2チップ6には、第2の機能部として、CPU(中央処理ユニット)が形成されている。

【0043】第1チップ8は、上面に第1の入出力端子である複数のパッド8a, 8b, ...を備えている。この実施形態においては、パッド8a, 8b, ...は、FPGAに対する入出力を行なうためのパッドである。また、第1チップ8の上面の外周近傍には、外部に対する入出力を行なうための複数のパッド10(外部用端子)が設けられている。

【0044】第2チップ6は、下面に第2の入出力端子である複数のパッド6a, 6b, ...を備えている。この実施形態においては、パッド6a, 6b, ...は、CPUに対する入出力を行なうためのパッドである。

【0045】各パッド8a, 8b, ...とパッド6a, 6b, ...とは、互いに対向する位置に設けられている。互いに対向する位置に設けられたパッド8a, 8b, ...とパッド6a, 6b, ...との一方を、たとえば金(Au)で形成し、他方を、たとえば錫(S

(5)

8

u)で形成することで、共晶を利用したバンプ技術により、パッド8a, 8b, ...とパッド6a, 6b, ...とを接合している。

【0046】このようにして形成された積層チップ4は、図1に示すように、パッケージ12の上に載置して固定される。パッケージ12に設けられたパッド14と、第1チップ8に設けられたパッド10とは、ボンディングワイヤ16により接続される。なお、積層チップ4およびボンディングワイヤ16は、エポキシ樹脂等を用いた封止部材(図示せず)により封止されている。

【0047】この実施形態においては、LSI2は、外部機器を制御するコントローラとして使用される。すなわち、第2チップ6に形成されたCPU(図示せず)を用いて、外部機器の制御を行なう。外部機器は、パッケージ12に設けられたパッド14に電気的に接続される。第1チップ8に形成されたFPGAは、CPUと外部機器とを連結するインターフェース回路として機能する。

【0048】したがって、FPGAのプログラムを変更することで、外部機器に対応した所望のインターフェース回路を得ることができる。このため、新たな専用インターフェース回路を持つICをつくることなく所望のインターフェース回路を実現することができる。すなわち、新たな専用ICを開発したり、専用ICのための製造工程を別途設けたりする必要がない。

【0049】また、積層チップ4を用いることで、省スペースの要求が大きいこの種のコントローラをコンパクトに形成することができる。なお、この実施形態においては、外部機器を制御するためのプログラムは、ROM(読み専用メモリ)チップ(図示せず)として、LSI2の外部に配置され、パッケージ12に設けられたパッド14を介して、CPUに送られる。

【0050】また、LSI2の外部には電源(図示せず)が設けられており、当該電源から、パッド14を介して第1チップ8に電力が供給され、さらに第1チップ8を介して第2チップ6に電力が供給される。

【005.1】したがって、FPGAに対するプログラムの書き込みや消去に高電圧を要する第1チップ8には、電源から低電圧電力とともに高電圧電力を供給し、高電圧を要しないCPUを搭載した第2チップ6には、第1チップ8を介して低電圧電力のみを供給することが可能となる。このため、第1チップ8のみを高耐圧仕様とすれば十分である。すなわち、第2チップ6は低耐圧仕様とすることができるので、CPUを搭載した第2チップ6の集積度を上げることができる。

【0052】図3に、第1チップ8に形成されたFPGAを構成するロジックアレー20の回路構成の一例を模式的に示す。FPGAは、比較的複雑な構成のPLDであり、FPGAのロジックアレー20は、AND平面部22とOR平面部24とを備えている。なお図3は、説

(6)

9

明のために、ロジックアレー20の回路構成の一部を抜き出して示した図であり、実際のロジックアレー20は、より複雑な構成を持っている。

【0053】図3の例では、AND平面部22は、回路要素である4本のデータ入力ラインL11、L12、L13、L14、4本のAND入力ラインL21、L22、L23、L24、および、4個のANDゲートAND1、AND2、AND3、AND4を備えている。

【0054】AND平面部22の、データ入力ラインL11～L14とAND入力ラインL21～L24との16個の交点には、プログラム可能なスイッチ手段であるスイッチSW11～SW44が設けられている。

【0055】OR平面部24は、回路要素である4本のAND出力ラインL31、L32、L33、L34、3本のOR入力ラインL41、L42、L43、3個のORゲートOR1、OR2、OR3、および、3本のOR出力ラインL51、L52、L53を備えている。

【0056】AND平面部22同様、OR平面部24の、AND出力ラインL31～L34とOR入力ラインL41～L43との12個の交点には、プログラム可能なスイッチ手段であるスイッチSW51～SW83が設けられている。

【0057】なお、図3においては説明の便宜上、4個のANDゲートAND1、AND2、AND3、AND4と、3個のORゲートOR1、OR2、OR3とを用いるよう記載したが、実際の回路においては、これらのゲートに替え、7個のNANDゲートを用いて、図3と論理的に等価な回路を実現している。

【0058】図4A、図4B、図4Cに、プログラム可能なスイッチ手段（たとえば、スイッチSW11）の具体例を示す。スイッチSW11として、図4Aに示すヒューズを用いることができる。この場合、データ入力ラインL11とAND入力ラインL21とを切り離すには、このヒューズを焼ければよい。

【0059】ヒューズの場合とは逆に、あらかじめ絶縁しておき、絶縁を破壊することによりデータ入力ラインL11とAND入力ラインL21とを導通させるよう構成したアンチヒューズ（図示せず）を、スイッチSW11として用いることもできる。また、スイッチSW11として、図4Bに示すフラッシュメモリやEEPROM（Electrically Erasable and Programmable Read Only Memory）を用いることにより論理機能の書き換えが可能となる。

【0060】また、論理機能の書き換えをリアルタイムで行なわせるために、スイッチSW11として、図4Cに示すSRAM（Static Random Access Memory）を用いることもできる。

【0061】さらに、スイッチSW11として、強誘電体を用いたメモリを使用することもできる。強誘電体を用いたメモリを使用することにより、不揮発性で、か

10

つ、高速度で書換え可能なスイッチSW11を実現することができる。

【0062】図5に、強誘電体を用いたメモリを使用したスイッチSW11の回路構成の一例を示す。この例では、スイッチSW11は、強誘電体トランジスタ30を備えている。

【0063】ゲート端子Gとデータ入力ラインL11との間に、所定の電圧を印加すると、強誘電体層FEは分極するが、印加する電圧の向きにより、強誘電体層FEの分極方向が異なる。強誘電体層FEの分極方向が異なると、同一のゲート電圧に対するドレイン電流の値が異なる。この性質を利用して、スイッチSW11の閉状態と開状態とを作り出すよう構成している。

【0064】ゲート端子Gとデータ入力ラインL11との間に印加する電圧の向きと、強誘電体層FEの分極方向との関係は、他の要素の影響を受けるため必ずしも固定されたものではないが、少なくとも同一条件下においては、同一の関係をもたらす。

【0065】したがって、たとえば、データ入力ラインL11に対して、ゲート端子Gが正となる向きの電圧を印加すると、所定のゲート電圧に対し、しきい値以上のドレイン電流が流れる方向に分極し、逆向きの電圧を印加すると、所定のゲート電圧に対し、しきい値より小さい値のドレイン電流しか流れない方向に分極したとすれば、前者がスイッチSW11の閉状態、後者がスイッチSW11の開状態である。

【0066】このように、ゲート端子Gとデータ入力ラインL11との間に印加する電圧の向きを替えることにより、スイッチSW11の継断データを、書き換えることができる。

【0067】なお、図5の例においては、ゲート端子Gとデータ入力ラインL11との間に印加する電圧の向きを替えることにより、強誘電体層FEの分極方向を異ならせるよう構成したが、強誘電体層FEのゲート端子Gと反対側の端部に電極端子を接続してこれをメモリゲート端子MGとし、ゲート端子Gとメモリゲート端子MGとの間に印加する電圧の向きを替えることにより、強誘電体層FEの分極方向を異ならせるよう構成することもできる。

【0068】また、スイッチSW11に使用するための強誘電体を用いたメモリとしては、図5に示す強誘電体トランジスタ30を備えたメモリ以外に、たとえば、強誘電体コンデンサを備えたメモリ（図示せず）を使用することもできる。

【0069】なお、上述の実施形態においては、LSI2が、外部機器を制御するコントローラとして使用される場合を例に説明したが、この発明はこれに限定されるものではない。たとえば、LSI2が汎用のFPGAとして使用される場合にも、この発明を適用することができる。

(7)

11

【0070】この場合、第1チップ8には、前述の実施形態と同様に、第1の機能部としてFPGAが形成される。一方、第2チップ6には、第2の機能部として、FPGAへのプログラムの書き込みや消去をおこなう書き込み回路を形成しておく。このようにすれば、外部の書き込み装置を必要としないFPGAを実現することができる。

【0071】また、LSI2をDSP(デジタル・シグナル・プロセッサ)として使用する場合にも、この発明を適用することができる。LSI2をDSPとして用いるためには、第2チップ6に、第2の機能部として、RAM(ランダム・アクセス・メモリ)を形成しておく。

【0072】一方、第1チップ8には、前述の実施形態と同様に、第1の機能部としてFPGAを形成しておくが、この場合、FPGAが信号処理部として機能するようにプログラムしておく。

【0073】このように設定しておけば、FPGAは、第2チップ6に形成されたRAMから与えられた信号に所定の処理を施した後、LSI2外部に出力したり、LSI2外部から与えられた信号に所定の処理を施した後、第2チップ6に形成されたRAMに蓄積したりすることができる。

【0074】FPGAのプログラムを変更することで、信号処理の内容を容易に変更することができる。また、積層チップ4を用いることで、コンパクトなDSPを実現することができる。

【0075】また、たとえば、第1チップ8にFPGAを形成するとともに、第2チップ6にフラッシュメモリを形成するよう構成することもできる。この場合、第1チップ8のFPGAおよび第2チップ6のフラッシュメモリとともに、書き込み・消去のための高電圧ラインを必要とする場合がある。このような場合、FPGAの書き込み・消去に要する電圧と、フラッシュメモリの書き込み・消去に要する電圧とが同一になるよう設定しておくと好都合である。

【0076】電圧をこのように設定しておくと、第1チップ8および第2チップ6双方の高電圧ラインを、パッド8a, 8b, ..., 6a, 6b, ...のいずれかを介して、当該双方のチップ間で共用することができる。このため、高電圧用の配線等に必要なスペースを節約することができる。

【0077】さらにこの場合、当該高電圧ラインを接続するためのパッドを、複数組形成しておけば、接続抵抗を小さくすることができ、好都合である。パッド8a, 8b, ..., 6a, 6b, ...の接続方法として、上述のバンプ技術や、後述する異方性導電体を用いる場合には、接続抵抗が大きくなる傾向があるため、このように、接続点を並列に形成して接続抵抗を小さくすることが特に好ましい。

【0078】また、たとえば、LSI2を、PLL(位

相同期ループ)回路を用いた周波数シンセサイザとして使用することができる。この場合には、第2チップ6に、第2の機能部として、アナログ回路であるVCO(電圧制御発信回路)を形成しておく。

【0079】一方、第1チップ8には、前述の実施形態と同様に、第1の機能部としてFPGAを形成しておくが、この場合、FPGAが、VCOの出力を分周したのち再びVCOにフィードバックするような回路をとして機能するようにプログラムしておく。

10 【0080】このように設定しておけば、LSI2を、PLL回路を用いた周波数シンセサイザとして使用することができる。この場合、FPGAのプログラムを変更することで、出力すべき周波数を容易に変更することができる。また、積層チップ4を用いることで、コンパクトな周波数シンセサイザを得ることができる。

【0081】なお、このように、第2チップ6に、第2の機能部としてアナログ回路を搭載する場合、アナログ信号の授受が必要となるパッドは、バッファを介在しないパッドとしておくとよい。

20 【0082】また、この場合、第1チップ8に設けられたパッド10のいずれかと、たとえばパッド8aとを導通状態にしておく(スルーパッド)ことにより、パッド10と第2チップ6のパッド6aとを、パッド8aを介して電気的に接続することができる。このため、第2チップ6に外部用端子を直接設けることができない場合であっても、たとえば、第1チップ8に設けられたパッド10をアナログ信号の入出力端子として用いたり、パッド10をアナログ回路専用の電源端子として用いたりすることができ、好都合である。

30 【0083】上述の各実施形態においては、第1チップ8に、第1の機能部としてFPGAを形成した場合を例に説明したが、この発明はこれに限定されるものではない。たとえば、第1チップ8に、第1の機能部としてメモリ装置を形成するよう構成することができる。この場合、第2チップ6に、第2の機能部として、該メモリ装置に対するデータの書き込みや消去を行なう書き込み回路を形成しておくとよい。

40 【0084】このように構成すれば、外部の書き込み装置を必要としない情報記憶装置を実現することができる。また、第1チップ8と第2チップ6とを積層することで、情報を記憶する機能と情報を書き込む機能ととともに備えた小さい投影面積を有する情報記憶装置を実現することができる。

【0085】なお、上述の各実施形態においては、図1に示すように、パッド8a, 8b, ..., 6a, 6b, ...とパッド6a, 6b, ..., を電気的に接続する方法として、バンプ技術を用いた場合を例に説明したが、この発明はこれに限定されるものではない。たとえば、ハンダ技術を用いて、パッド8a, 8b, ..., 6a, 6b, ...とパッド6a, 6b, ..., を電気的に接続することもできる。

50

(8)

13

【0086】また、図6に示すように、異方性導電体18を用いてパッド8a, 8b, …とパッド6a, 6b, …とを電気的に接続することもできる。異方性導電体10は、一方向にのみ導電性を有する導電体で、接着性を有している。異方性導電体として、たとえば熱硬化性の接着剤であるアニソルム(日立化成)を用いることができる。

【0087】このような異方性導電体18を用いることにより、第1チップ8および第2チップ6を強固に接着することができる。異方性導電体18を用いて、第1チップ8および第2チップ6を強固に接着することにより、互いに対向する位置に設けられたパッド8a, 8b, …とパッド6a, 6b, …とが、電気的に接続される。

【0088】また、上述の各実施形態においては、図1に示すように、積層チップ4をパッケージ12に固定するとともに、積層チップ4のパッド10とパッケージ12に設けられたパッド14とをボンディングワイヤ16を用いて接続するよう構成したが、この発明はこのような構成に限定されるものではない。

【0089】たとえば、図7に示すように、積層チップ4を、フィルム状の合成樹脂基板に直接、実装することができる。このように、積層チップ4を実装した基板を、タブ(t a b : tape automated bonding)26という。タブ26にはプリント配線(図示せず)が施されており、プリント配線のパッド部(図示せず)と積層チップ4のパッド10とが接合される。なお、上述の各実施形態の場合と同様に、積層チップ4は、エポキシ樹脂等を用いた封止部材(図示せず)により封止されている。

【0090】また、図8に示すように、パッド10を第1チップ8の下面(すなわち、パッド8a, 8b, …の設けられた面の反対側の面)に設けることが可能な場合には、積層チップ4を、タブ26の上面に積み上げるように実装することもできる。

【0091】なお、上述の各実施形態においては、第1チップ8に電力が供給され、さらに第1チップ8を介して第2チップ6に電力が供給されるよう構成したが、この発明はこれに限定されるものではない。たとえば、第2チップ6に電力が供給され、さらに第2チップ6を介して第1チップ8に電力が供給されるよう構成することもできる。また、第1チップ8と第2チップ6との配置関係を上下逆にすることもできる。

【0092】また、上述の各実施形態においては、2つのチップを重ねた積層チップ4を例に説明したが、3つ以上のチップを重ねた積層チップにも、この発明を適用することができる。

【0093】図9は、第1チップ8の上に、第2チップ32および第3チップ34を横に並べて配置した構成を有する積層チップ36を示す図面である。積層チップ36は、パッケージ12に載置されて固定されている。

14

【0094】たとえば、第1チップ8にFPGAを形成してインターフェース回路の働きをするようプログラムしておき、第2チップ32にCPUを形成するとともに、第3チップ34にROMを形成すれば、一つの積層チップ36で、外部機器を制御するためのコントローラを実現することができる。なお、この場合、第1チップ8が第1の基板に該当し、第2チップ32および第3チップ34が第2の基板に該当する。

【0095】図11は、第1チップ8(第1の基板に該当)の上に多数のチップ(第2の基板に該当)50a, 50b, …, 50gを、横に並べて配置した構成を有する積層チップ52を示す分解斜視図である。

【0096】たとえば、図12に示すようなコンパクトディスクシステム60を構成する各機能部、たとえば、RFアンプ62, DSP64, DF・DAC66, CD-Gデコーダ68, RGBエンコーダ70, CDドライバ72等を、それぞれ、図11のチップ50a, 50b, …, 50gとして形成するとともに、システムコントロールマイコン74および各チップ間の結線(図示せず)などをFPGAとして第1チップ8に形成することができる。

【0097】なお、図12に示すコンパクトディスクシステム60は、従来、RFアンプ62, DSP64, DF・DAC66, CD-Gデコーダ68, RGBエンコーダ70, CDドライバ72、システムコントロールマイコン74等の各機能部をそれぞれ、別のICとして形成し、これらを、1枚のボードに搭載するよう構成していた。したがって、コンパクト性に欠け、製造コストも高かった。

【0098】図11のように構成すれば、従来、一つのボードに複数のICを搭載することにより実現していたコンパクトディスクシステム60のような複雑なシステムを、一つの積層チップ52、すなわち、一つのICにより実現することができる。このため、複雑なシステムを、コンパクトかつ低コストで実現することができる。

【0099】図10は、第1チップ8の上に第2チップ40を載せて固定するとともに、第2チップ40の上に第3チップ42を載せて固定した構成を有する積層チップ44を示す図面である。積層チップ44は、パッケージ12に載置されて固定されている。

【0100】このように、接続すべきパッドをチップ(この例では第2チップ40)の下面および上面の双方に設けることが可能な場合には、3層以上のチップを積層することが容易になる。この場合、第1チップ8が第1の基板に該当し、第2チップ40が第2の基板に該当する。

【0101】なお、チップが3層以上積層されている場合、たとえば図10のような場合、第1チップ8と第3チップ42とが、第2チップ40に設けられた配線(図示せず)を介して電気的に接続されているような場合に

(9)

15

は、第3チップ42も第2の基板に該当する。また、第2チップ40が第1の基板に該当するような場合には、第1チップ8および第3チップ42が、第2の基板に該当する。

【0102】なお、上述の各実施形態においては、プログラム可能な第1の機能部の一例としてFPGAを例に説明したが、この発明はこれに限定されるものではない。たとえば、プログラム可能な第1の機能部としてPLDの一種であるPLA等を用いた場合にも、この発明を適用することができる。

【図面の簡単な説明】

【図1】この発明の1実施形態による半導体装置であるLSI(高密度集積回路)2の断面構成を示す図面である。

【図2】積層チップ4の分解斜視図である。

【図3】第1チップ8に形成されたFPGAを構成するロジックアレー20の回路構成の一例を模式的に示した図面である。

【図4】図4A、図4B、図4Cは、プログラム可能なスイッチ手段の具体例を示す図面である。

【図5】強誘電体を用いたメモリを使用したスイッチSW11の回路構成の一例を示す図面である。

(9)

16

【図6】この発明の他の実施形態による積層チップの断面構成を示す図面である。

【図7】この発明の他の実施形態による積層チップの断面構成を示す図面である。

【図8】この発明の他の実施形態による積層チップの断面構成を示す図面である。

【図9】この発明の他の実施形態による積層チップの断面構成を示す図面である。

【図10】この発明の他の実施形態による積層チップの断面構成を示す図面である。

【図11】この発明の他の実施形態による積層チップの分解斜視図である。

【図12】コンパクトディスクシステム60の構成を示す機能ブロック図である。

【符号の説明】

2 · · · · · LSI

4 · · · · · 積層チップ

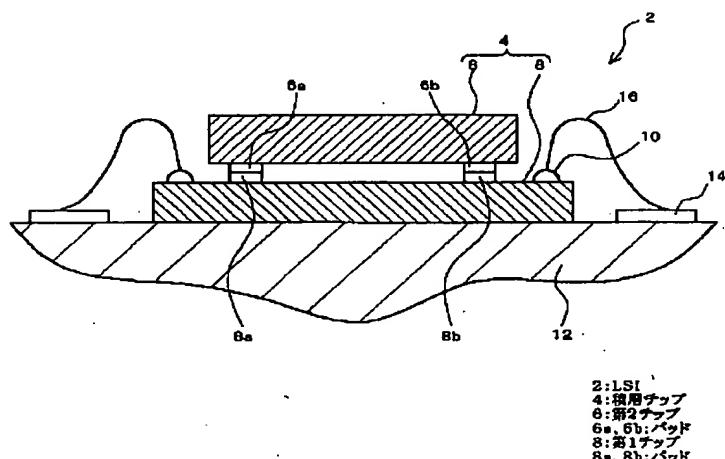
6 · · · · · 第2チップ

6a, 6b · · · パッド

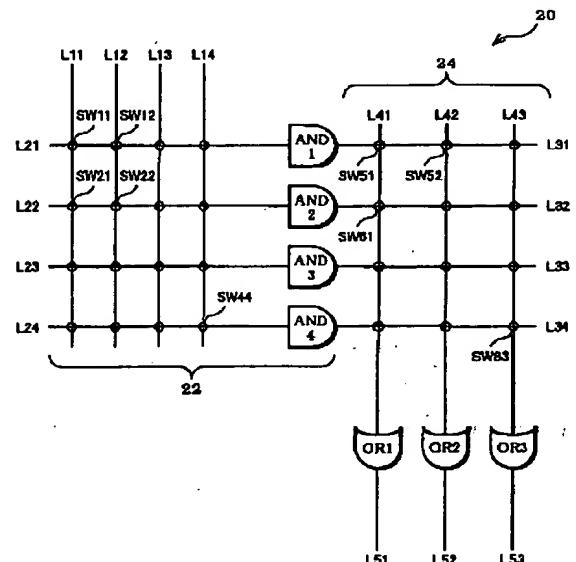
8 · · · · · 第1チップ

8a, 8b · · · パッド

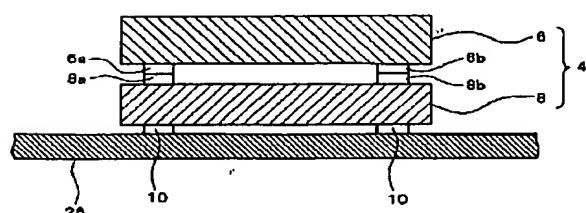
【図1】



【図3】

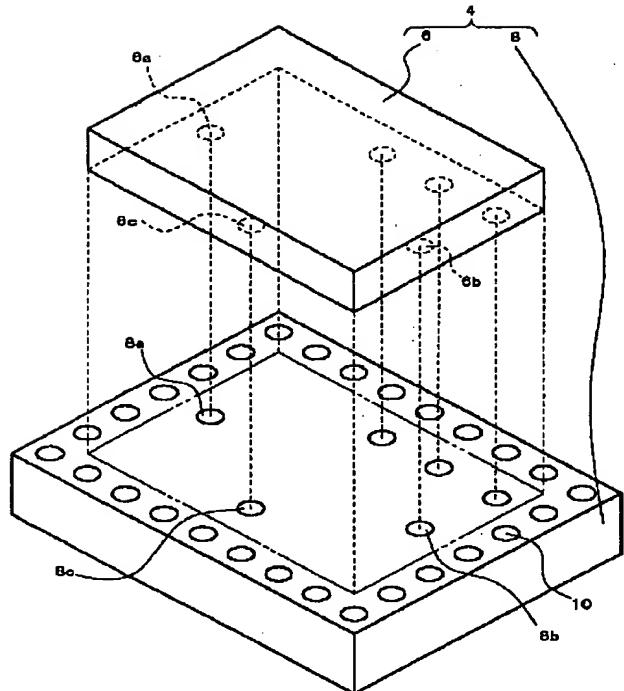


【図8】

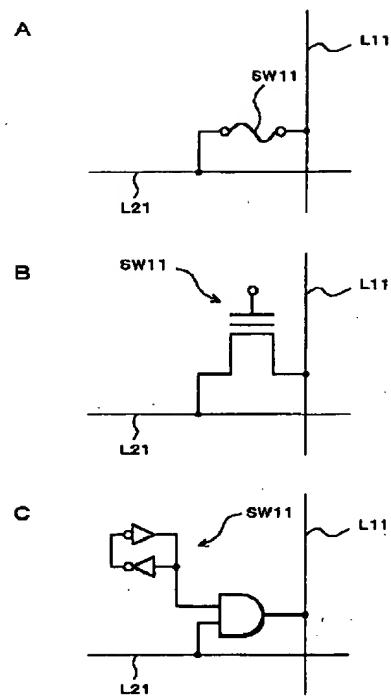


(10)

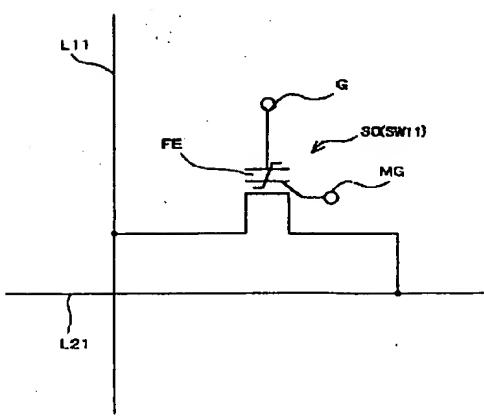
【図2】



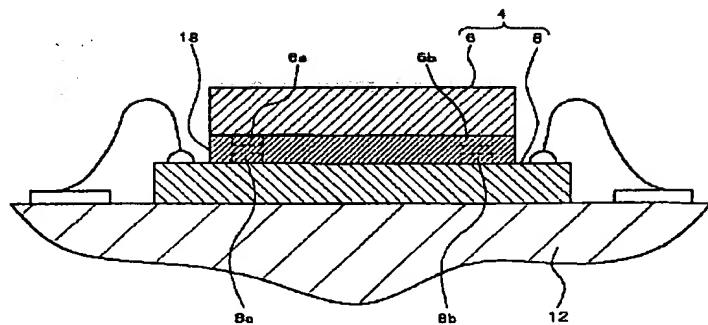
【図4】



【図5】

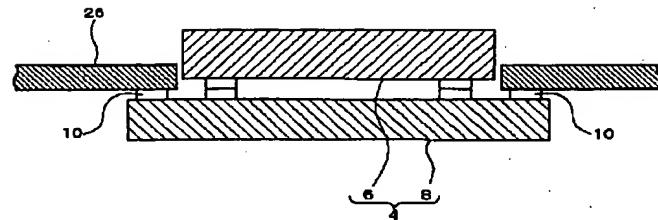


【図6】

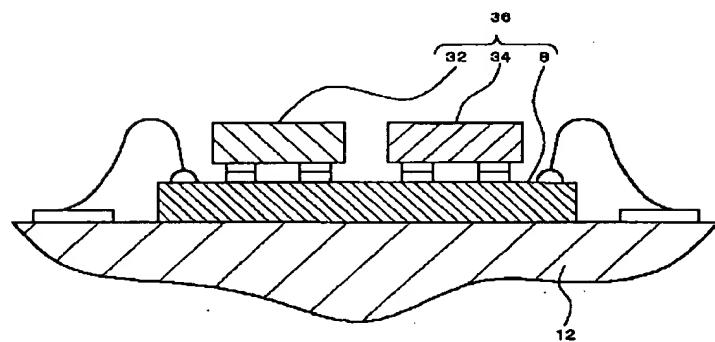


(11)

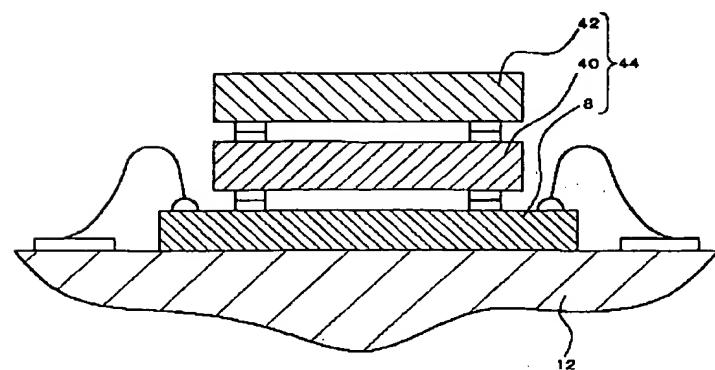
【図7】



【図9】

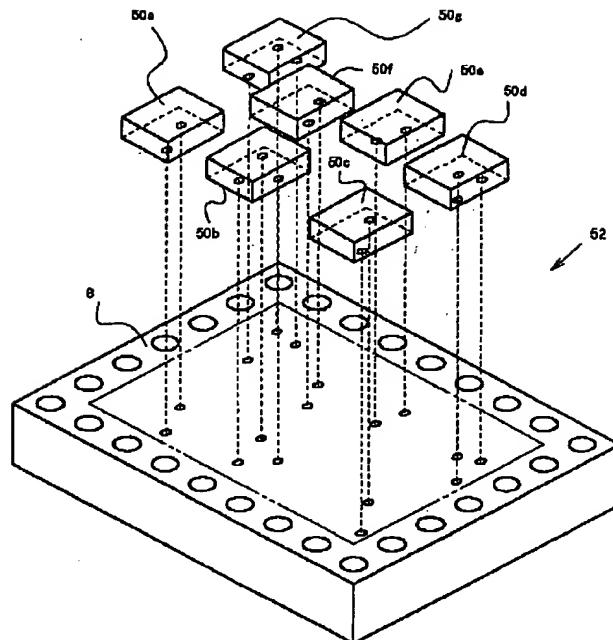


【図10】

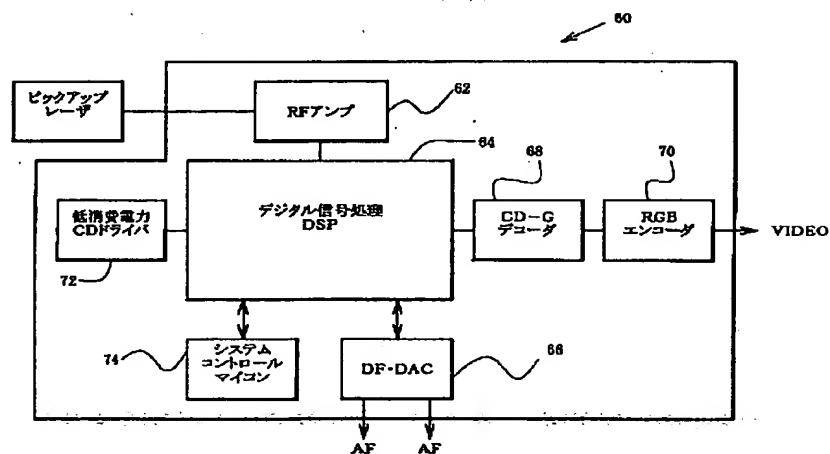


(12)

【図11】



【図12】



フロントページの続き

(51) Int. Cl. 6

H 03 K 19/173

識別記号

101

F I